ANALOG DEVICES

完全8ビット、32 MSPS、95 mW CMOS A/D コンバータ

AD9280

特長

CMOS、8-ビット、32 MSPS、サンプリングA/Dコンバータ
AD876-8と同じピン配列でコンパチ（互換性あり）
消費電力（許容損失）：95 mW（電源電圧3 V時）
電源電圧：+2.7〜+5.5 Vの範囲で作動
微分非直線性：0.2 LSB
パワーダウン・モード（スリープ・モード）可能
3-ステート出力
アウト・オブ・レンジのインジケータ
クランプ機能内蔵（DCリストア）
可変内蔵基準電圧（リファレンス）
135MHzまでIFアンダー・サンプリング

概要

AD9280はモノリシック、単電源、8ビット、32MSPSのA/Dコンバータで、サンプル／ホールド・アンプと基準電圧（リファレンス）をチップに内蔵しています。AD9280は32MSPSのデータレートを多段差動パイプライン回路で処理し、ノー・ミス・コードを全動作温度範囲において保証します。

AD9280の入力は、画像システムや通信システムの開発に役立つよう設計しています。ユーザは各種の入力レンジとオフセットを選択することができ、入力がシングル・エンド動作であっても、差動動作であっても、どちらでもドライブできます。

サンプル／ホールド・アンプ（SHA）は、連続したチャンネルでフルスケール電圧レベルの切り換えをするマルチプレックス・システムに適し、また周波数が上がりナイキスト・レートを超えた状態でのシングル・チャンネル入力のサンプリングにも適していています。ACにカップルした入力信号は、チップに内蔵しているクランプ回路によって、事前に設定するレベルにシフトすることができます。またダイナミック特性は、きわめて優れています。

AD9280はチップにプログラム可能な基準電圧（リファレンス）を内蔵しています。もちろんアプリケーションによっては、より高いDC精度や温度ドリフト特性の必要性に配慮して外部基準電圧（リファレンス）を選択できます。

シングル・クロック入力は、すべての内部変換サイクルをコントロールします。デジタル出力のデータは、ストレート・バイナリ形式で出力します。アウト・オブ・レンジ信号（OTR）はオーバーフローの状態を表示し、MSB（most significant bit）が“ low ”または“ high ”のどちらのオーバーフローかを決めるのに使えます。

AD9280は電源電圧+2.7〜+5.5 Vの範囲で作動し、高速かつ低電力消費のアプリケーションに最適です。

AD9280の動作温度範囲は産業用仕様（−40℃〜+85℃）でスペックしています。

長所

低電力消費

AD9280の消費電力（許容損失）は電源電圧+3V時で、わずか95 mWです（内蔵基準電圧の消費電力は含まず）。パワーダウン・モード（スリープ・モード）では5 mW以下に下がります。

たいへんコンパクトなパッケージ

AD9280は28ピンのSSOP型パッケージです。

AD876-8と同じピン配列でコンパチ

AD9280はAD876-8と同じピン配列で互換性（コンパチ）があり、旧設計システムを低電源電圧に移行させるのに使えます。

300 MHzのサンプル／ホールド・アンプをチップに内蔵

内蔵サンプル／ホールド・アンプは、シングル・エンド入力も差動入力も受け入れる、たいへん便利な入力回路になっています。

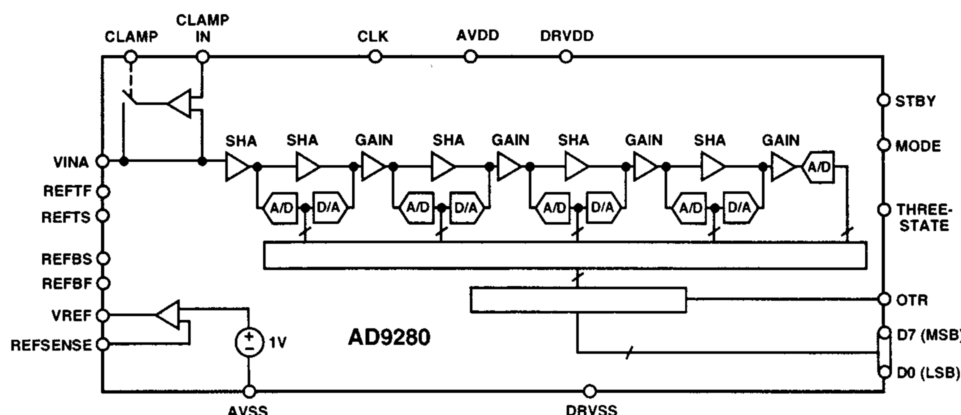
“ アウト・オブ・レンジ ”インジケータ（OTR）

入力信号がAD9280の入力レンジを超えたことを、OTRの出力ビットで表示します。

クランプ機能内蔵

ビデオ信号のDCリストアができます。

機能ブロック図



REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１ ニューピア竹芝サウスタワービル　電話03（5402）8200　〒105－6891
大阪営業所／大阪市淀川区宮原３－５－３６ 新大阪第２森ビル　電話06（350）6868㈹　〒532－0003

AD9280—仕様

(特に指定のない限りAVDD=+3 V、DRVDD=+3 V、F_S=32 MHz (50%デューティサイクル)、モード=AVDD、2 V入力、Span (範囲) =0.5 V~2.5 V、外部リファレンス、Tmin~Tmax)

パラメータ	シンボル	条　件	Min	Typ	Max	単位
分解能				8		Bits
変換レート	FS				32	MHz
DC精度						
微分非直線性	DNL	REFTS=2.5 V、REFBS=0.5 V		±0.2	±0.5	LSB
積分非直線性	INL			±0.3	±1.0	LSB
オフセット誤差	E_{ZS}			±0.2	±1.2	%FSR
ゲイン誤差	E_{FS}			±1.2	±3.2	%FSR
基準電圧(リファレンス)						
トップ基準電圧(リファレンス)	REFTS		1		AVDD	V
ボトム基準電圧(リファレンス)	REFBS		GND		AVDD−1	V
差動基準電圧(リファレンス)				2		Vp-p
基準電圧(リファレンス)						
入力抵抗[1]		REFTS、REFBS:Mode=AVDD		10		kΩ
		REFTF~REFBF間:Mode=AVSS		4.2		kΩ
アナログ入力						
入力電圧レンジ	AIN	REFBS Min(最小値)=GND: REFTS Max(最大値)=AVDD	REFBS		REFTS	V
入力キャパシタンス	C_{IN}	Switched(スイッチド)		1		pF
アパーチャ時間	t_{AP}			4		ns
アパーチャ・ジッター	t_{AJ}			2		ps
入力バンド幅(−3 dB)	BW					
フルパワー(0 dB)				300		MHz
DC漏れ電流		Input(入力)=±FS		43		μA
内部基準電圧						
出力電圧(1 Vモード)	VREF	REFSENSE=VREF		1		V
出力許容誤差(1 Vモード)				±10	±25	mV
出力電圧(2 Vモード)	VREF	REFSENSE=GND		2		V
負荷(ロード)レギュレーション (1 Vモード)		1 mA Load Current(負荷電流)		0.5	2	mV
電源						
動作電圧	AVDD		2.7	3	5.5	V
	DRVDD		2.7	3	5.5	V
電源電流	IAVDD	AVDD=3 V、MODE=AVSS		31.7	36.7	mA
消費電力(許容損失)	P_D	AVDD=DRVDD=3 V、 MODE=AVSS		95	110	mW
パワーダウン		STBY=AVDD、MODE=AVSS、 CLOCK=AVSS		4		mW
ゲイン誤差電源除去	PSRR			1		%FS
ダイナミック性能(AIN=0.5 dBFS)						
信号対(ノイズ+歪み)比	SINAD					
f=3.58 MHz			47.5	49		dB
f=16 MHz				48		dB
有効ビット						
f=3.58 MHz				7.8		Bits
f=16 MHz				7.7		Bits
信号対ノイズ比	SNR					
f=3.58 MHz			48	49		dB
f=16 MHz				48		dB
全高調波歪み	THD					
f=3.58 MHz				−62	−54	dB
f=16 MHz				−58		dB
スプリアス・フリー・ダイナミック・レンジ	SFDR					
f=3.58 MHz				66	54	dB
f=16 MHz				61		dB
微分位相	DP	NTSC 40 IRE Mod Ramp		0.2		Degree
微分ゲイン	DG			1		%

パラメータ	シンボル	条　　件	Min	Typ	Max	単位
デジタル入力						
“High”入力電圧	V_{IH}		2.4			V
“Low”入力電圧	V_{IL}				0.3	V
デジタル出力						
ハイZ（インピーダンス）・リーク	I_{OZ}	Output＝GND〜VDD	−10		＋10	μA
データ有効時間	t_{OD}	C_L＝20 pF		25		ns
データ・イネーブル・ディレイ	t_{DEN}			25		ns
データ・ハイZ（インピーダンス）・ディレイ	t_{DHZ}			13		ns
ロジック出力（with DRVDD＝3 V）						
ロジック“High”出力電圧 (I_{OH}＝50 μA)	V_{OH}		＋2.95			V
ロジック“High”出力電圧 (I_{OH}＝0.5 mA)	V_{OH}		＋2.80			V
ロジック“Low”出力電圧 (I_{OL}＝1.6mA)	V_{OL}				＋0.4	V
ロジック“Low”出力電圧 (I_{OL}＝50 μA)	V_{OL}				＋0.05	V
ロジック出力（with DRVDD＝5 V）						
ロジック“High”出力電圧 (I_{OH}＝50 μA)	V_{OH}		＋4.5			V
ロジック“High”出力電圧 (I_{OH}＝0.5 mA)	V_{OH}		＋2.4			V
ロジック“Low”出力電圧 (I_{OL}＝1.6mA)	V_{OL}				＋0.4	V
ロジック“Low”出力電圧 (I_{OL}＝50 μA)	V_{OL}				＋0.1	V
クロック						
クロック・パルス幅“High”	t_{CH}		14.7			ns
クロック・パルス幅“Low”	t_{CL}		14.7			ns
パイプライン・レーテンシー				3		Cycle
クランプ						
クランプ・エラー電圧	E_{OC}	CLAMPIN＝＋0.5 V〜＋2.0 V、R_{IN}＝10Ω		±60	±80	mV
クランプ・パルス幅	t_{CPW}	C_{IN}＝1 μF（Period＝63.5 μs）		2		μs

注
[1] 図1aおよび図1b参照
仕様は予告なしに変更することがあります。

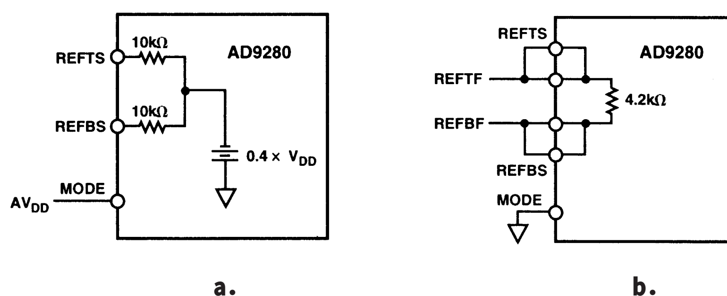


図1．等価入力負荷

絶対最大定格*

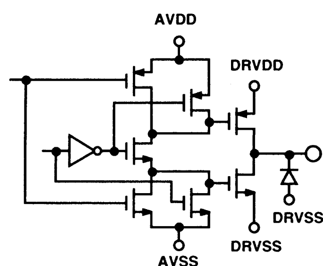
パラメータ	対象	Min	Max	単位
AVDD	AVSS	−0.3	＋6.5	V
DRVDD	DRVSS	−0.3	＋6.5	V
AVSS	DRVSS	−0.3	＋0.3	V
AVDD	DRVDD	−6.5	＋6.5	V
MODE	AVSS	−0.3	AVDD＋0.3	V
CLK	AVSS	−0.3	AVDD＋0.3	V
デジタル出力	DRVSS	−0.3	DRVDD＋0.3	V
AIN	AVSS	−0.3	AVDD＋0.3	V
VREF	AVSS	−0.3	AVDD＋0.3	V
REFSENSE	AVSS	−0.3	AVDD＋0.3	V
REFTS、REFTB	AVSS	−0.3	AVDD＋0.3	V
REFTS、REFBS	AVSS	−0.3	AVDD＋0.3	V
接合部温度			＋150	℃
ストレージ温度		−65	＋150	℃
リード温度：10秒間			＋300	℃

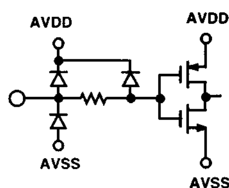
* これらの絶対最大定格を超えるストレスは、デバイスに恒久的なダメージを与えることがあります。これは単にストレス定格を示したものであり、これらの条件または動作仕様の項に示した値を超える条件の下でのデバイスの機能動作を意味するものではありません。長時間にわたって最大定格条件にさらされた場合、デバイスの信頼性に影響が現れることがあります。

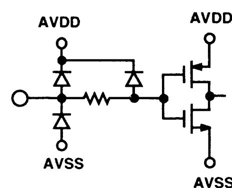
オーダー・ガイド

型名	動作温度範囲	パッケージ・タイプ	パッケージ・オプション*
AD9280ARS	−40℃～＋85℃	SSOP型28ピン	RS-28
AD9280ARSRL	−40℃～＋85℃	SSOP型28ピン（リール）	RS-28

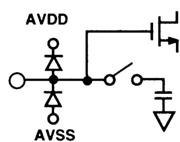
*RS＝シュリンク・スモール・アウトライン

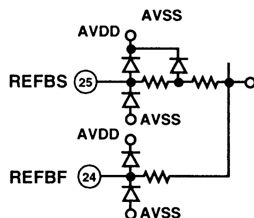


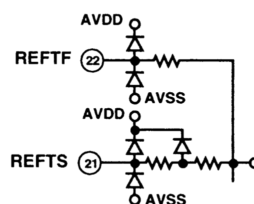




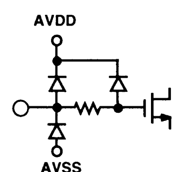
a．D0－D7、OTR　　b．スリーステート、スタンバイ、クランプ　　c．CLK

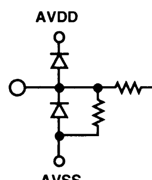


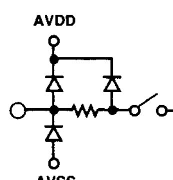


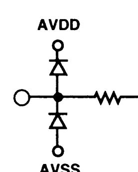


d．AIN　　e．リファレンス









f．CLAMPIN　　g．MODE　　h．REFSENSE　　i．VREF

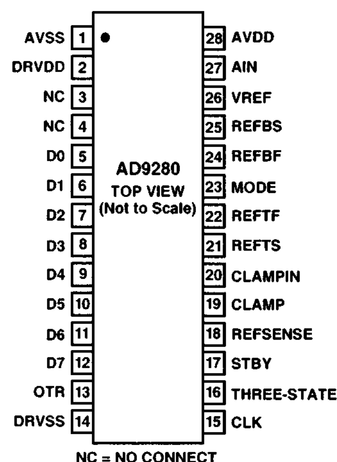
図2．等価回路

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に蓄積され、検知されることなくそれが放電されることもあります。このAD9280は当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスに回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置を行うようお奨めします。



ピン配列
28ピンワイド・ボディ（SSOP）



ピン機能説明

SSOP型ピン番号	名称	機　能
1	AVSS	アナログ・グランド
2	DRVSS	デジタル・ドライバ・サプライ
3	NC	無接続
4	NC	無接続
5	D0	ビット0
6	D1	ビット1
7	D2	ビット2
8	D3	ビット3
9	D4	ビット4
10	D5	ビット5
11	D6	ビット6
12	D7	ビット7（MSB：最上位のビット）
13	OTR	“アウト・オブ・レンジ”インジケータ
14	DRVSS	デジタル・グランド
15	CLK	クロック入力
16	THREE-STATE	HI：高インピーダンス状態、LO：通常動作
17	STBY	HI：パワーダウン・モード、LO：通常動作
18	REFSENSE	基準電圧（リファレンス）の選択
19	CLAMP	HI：クランプ可能のモード、LO：クランプ不可のモード
20	CLAMPIN	クランプ基準電圧入力
21	REFTS	トップ基準電圧
22	REFTF	トップ基準電圧デュカップリング（非結合）
23	MODE	モードの選択
24	REFBF	ボトム基準電圧デュカップリング（非結合）
25	REFBS	ボトム基準電圧
26	VREF	内部基準電圧（リファレンス）の出力
27	AIN	アナログ入力
28	AVDD	アナログ・サプライ

用語の定義

積分非直線性（INL）

積分非直線性は、それぞれのコードの値が“ゼロ”から“フルスケール”に引いた直線に対して、どれほどの偏差があるかを表しています。“ゼロ”ポイントは、最初のコード遷移が発生する1/2 LSB前です。また“フルスケール”は、最後のコード遷移の1 1/2 LSB後のレベルです。偏差はこの理想直線とそれぞれのコードの中間値との差を測定したものです

微分非直線性（DNL、ノー・ミス・コード）

理想的なA/Dコンバータでは、コード・トランジションは正確に1 LSBのステップ間隔になります。微分非直線性は、この理想間隔からの誤差を表します。またこの非直線性は、ノー・ミス・コード（NMC）が保証されている場合は分解能として規定されることもあります。

オフセット誤差

最初のコード・トランジションは“ゼロ”の1/2 LSB上のレベルで発生しなければなりません。オフセット誤差は、この点に対する実際の最初のコード遷移のずれとして定義されます。

ゲイン誤差

最初のコード遷移は、定格ネガティブ・フルスケールから1/2 LSB上のアナログ値で発生します。最後の遷移は定格ポジティブ・フルスケールから1 1/2 LSB下のアナログ値で発生します。ゲイン誤差は、実際の最初と最後のコード遷移間の差と、理想的な最初と最後のコード遷移間の差との偏差で定義されます。

パイプライン遅延（レーテンシー）

変換の開始と、データが出力できるようになるまでの間のクロック・サイクル数です。パルスの立ち上がりごとに、新しいデータを出力します。

代表的特性図（特に指定のない限りAVDD＝+3 V、DRVDD＝+3 V、F_S＝32 MHz（50% デューティーサイクル）、モード＝AVDD、2 V インプットスパン 0.5 V ～ 2.5 V、外部リファレンス）

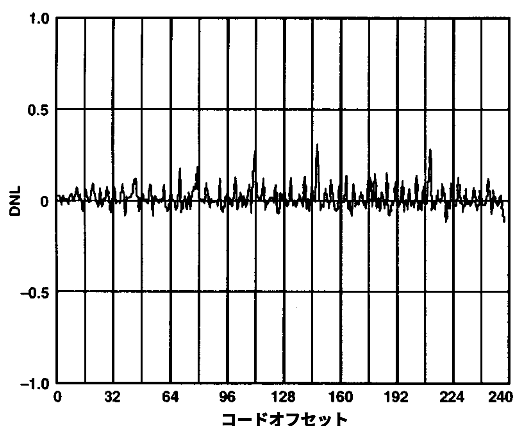


図3．通常のDNL

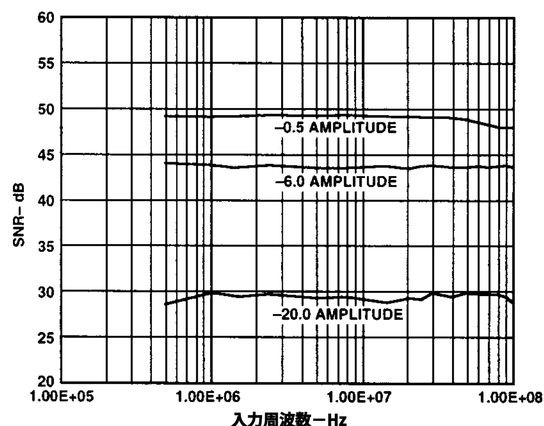


図5．SNR 対 入力周波数

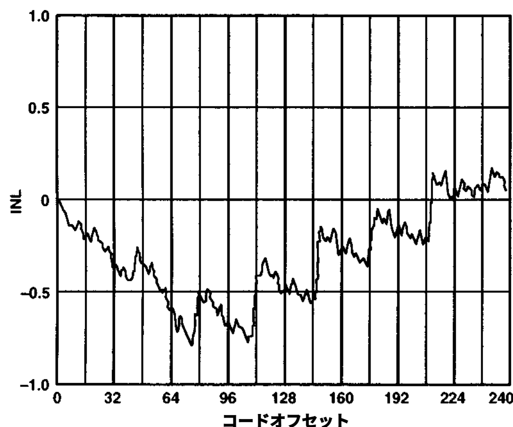


図4．通常のINL

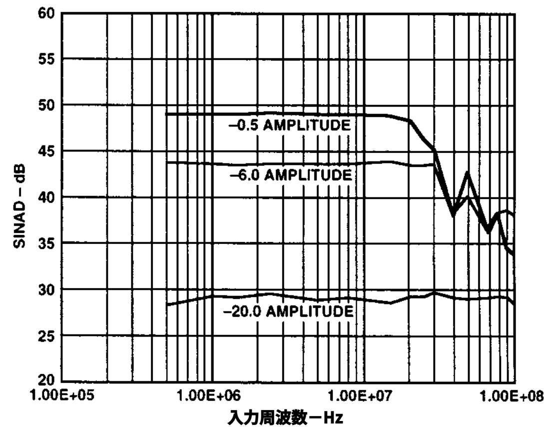


図6．SINAD 対 入力周波数

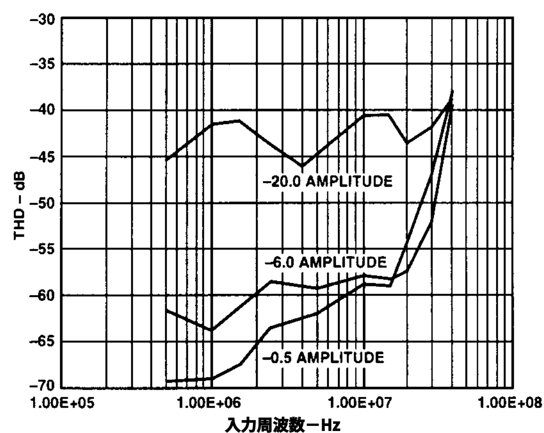


図7．THD 対 入力周波数

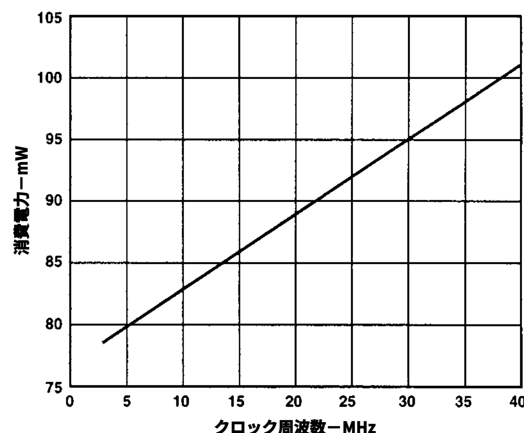


図10．消費電力 対 クロック周波数（モード＝AVSS）

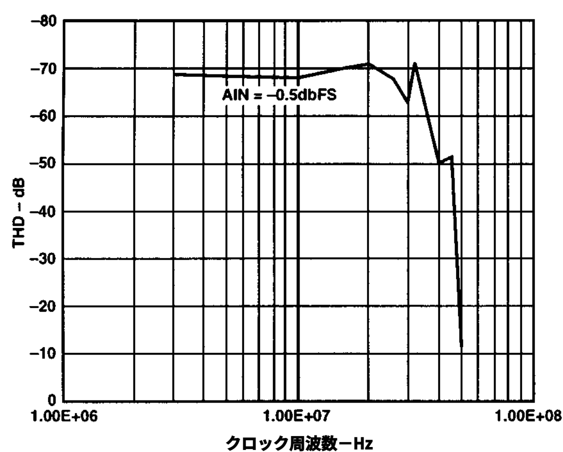


図8．THD 対 クロック周波数

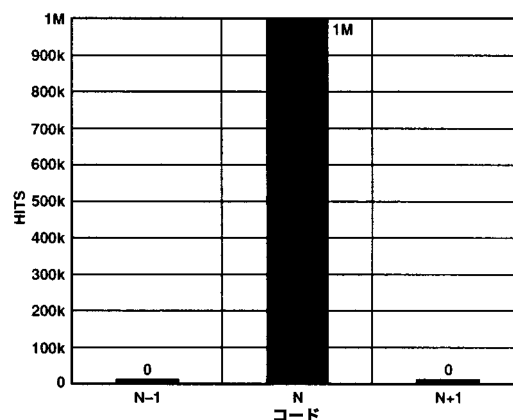


図11．グランドした入力のヒストグラム

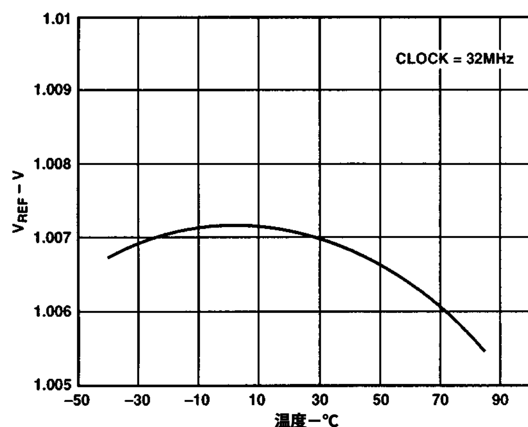


図9．電圧リファレンス誤差 対 温度

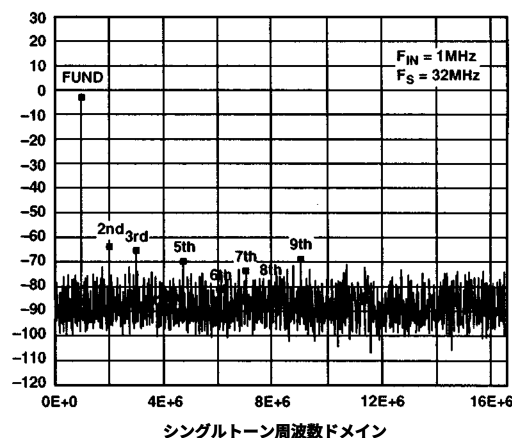


図12．シングルトーンの周波数ドメイン

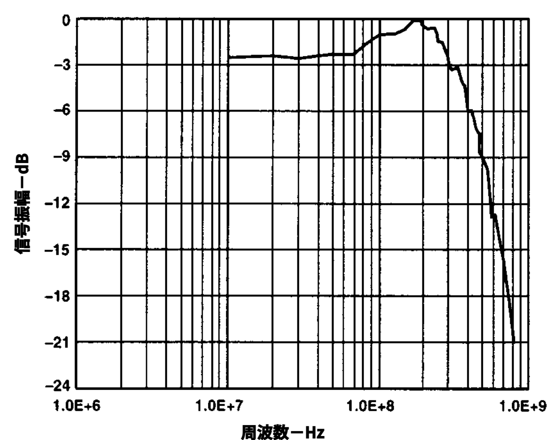


図13．フルパワーでのバンド幅

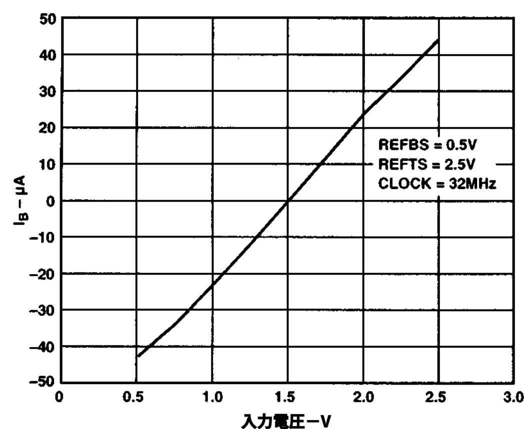


図14．入力バイアス電流対入力電圧

AD9280のご使用にあたって

動作理論

AD9280は多段差動パイプライン回路により、低電力消費で、かつ高いサンプリング・レートを実現しています。AD9280は変換を、いくつかの小さいA/Dサブ・ブロックに分配して実行します。そして段（ステージ）から次の段に変換結果が通過していくたびに、変換の精度がどんどん上がっていきます。AD9280では変換を分配することから、通常のフラッシュ型A/Dコンバータで使われる256コンパレータのほんの一部しか必要としません。ここで各段のサンプル／ホールドは、2段、3段、4段の各段がそれぞれ1つ前、2つ前、3つ前のサンプルにとりかかっているときに、第1段が新たに入力を受け入れてサンプリングを開始するという方法で行います。

オペレーション・モード

AD9280は画像、通信のアプリケーションから一般機器のアプリケーションまで、広い分野で性能が役立つように設計されています。またAD876-8型A/Dコンバータと同じピン配列で互換性（コンパチ）があります。このような多様性からAD9280には回路構成を別のモードにする内部スイッチがついています。モードの選択は適切なピンを接続（ショート）することで行い、基準電圧（リファレンス）、基準電圧バッファ、アナログ入力の3つの回路のモードの切り換えができます。最適モードはアプリケーションが求める条件で決めます。詳細は次項をご参照ください。なお表Ⅰは、各モードのセット方法です。

表Ⅰ．モードの選択

モード	入力の接続	入力スパン（範囲）	MODEピン	REFSENSEピン	REF	REFTS	REFBS	参考図
トップ/ボトム	AIN	1 V	AVDD	REFSENSE/REFTS/VREFともにショートする			AGND	18
	AIN	2 V	AVDD	AGND	REFTSはVREFショートする		AGND	19
センタースパン	AIN	1 V	AVDD/2	REFSENSEはVREFにショートする		AVDD/2	AVDD/2	20
	AIN	2 V	AVDD/2	AGND	接続しません	AVDD/2	AVDD/2	
差動	注	1 V	AVDD/2	REFSENSEはVREFにショートする		AVDD/2	AVDD/2	29
		2 V	AVDD/2	AGND	接続しません	AVDD/2	AVDD/2	
外部基準電圧	AIN	2 V（最大）	AVDD	AVDD	接続しません	Span＝REFTS－REFBS（2 V最大）		21、22
			AGND			VREFTFにショートする	VREFBFにショートする	23
AD876-8	AIN	2 V	AVSSまたはフロート	AVDD	接続しません	VREFTFにショートする	VREFBFにショートする	30

注
Input 1はAINに、Input 2をショートされているREFTS/REFBSに入力する

モードについての概略

基準電圧（リファレンス）

1 Vモード

内部基準電圧を1 Vにセットする場合は、REFSENSEとVREFを接続します。

2 Vモード

内部基準電圧を2 Vにセットする場合は、REFSENSEとアナログ・グランドを接続します。

外部デバイダ・モード

内部基準電圧を1 Vと2 Vの間にセットする場合は、外部抵抗を接続します。図16fをご参照ください。

外部基準電圧・モード

外部基準電圧を使う場合は、REFTS、REFBS、VREFの各ピンを使います。このモードにするには、REFSENSEとVDDを接続します。

基準電圧（リファレンス）バッファ

センタースパン・モード

ミッドスケールをセットするためにREFTSとREFBSを接続し、ここにミッドスケール電圧をかけます。MODEピンはAVDD/2にセットします。アナログ入力はこのミッドスケール点を中心にして振れます。

トップ/ボトム・モード

2つの電圧値の間に入力レンジをセットします。2つの電圧値の差は、1Vから2Vの間です。このモードにするには、MODEピンとAVDDを接続します。

アナログ入力

差動入力モード

ひとつの差動入力でAINピンをドライブし、REFTSとREFBSを接続し、もうひとつの差動入力でこの接続したピンをドライブすると、このモードになります。MODEピンはAVDD/2に接続します。歪み特性が最良になるのがこのモードです。

シングル・エンド入力モード

REFTSとREFBSがDCになっている間に、入力がAINピンをドライブすると、このモードになります。MODEピンはAVDDに接続します。

シングル・エンド/クランプ入力モード（ACカップリング）

入力のACカップリングにより、入力はあるDCレベルにクランプされます。CLAMPINをこのDC値に接続し、CLAMPピンにパルスをかけると、このモードになります。MODEピンはAVDDに接続します。

スペシャル

AD876-8モード

AD876-8を使っている場合に、その代わりとしてAD876-8のソケットにAD9280を差し込むときのモードです。MODEピンをグランドに接続するかフロートさせると、このモードになります。

入力および基準電圧（リファレンス）ついての概観

図16はAD9280のアナログ入力であるAINと、基準電圧であるREFTS、REFBSおよびVREFの関係に焦点をあてた簡略図です。フラッシュ型A/Dコンバータのラダー抵抗にかける電圧と同じように、A/Dコンバータの最大および最小の入力電圧値は、REFTSとREFBSで決まります。

入力段は通常のシングル・エンド入力を考慮した回路構成ですが、REFTSとREFBSをショートし、ここにもうひとつの差動入力を入力すると差動入力動作になります。

図15．AD9280等価入力回路

シングル・エンド入力動作では、入力レンジは、

$$REFBS \leqq AIN \leqq REFTS$$

となります。ここで、REFBSはGNDに接続し、REFTSはVREFに接続しています。もし別の基準電圧（リファレンス）にするには、電源電圧のレールの範囲内で、2つの電圧の差が1 Vから2 Vの間という条件だけで、REFBSとREFTSをドライブすることができます。

差動入力の場合は、REFTSとREFBSをショートします。入力レンジはVREFで決まります。

$$(REFTS - VREF/2) \leqq AIN \leqq (REFTS + VREF/2)$$

ここで、VREFは内部または外部基準電圧の値によって決まります。

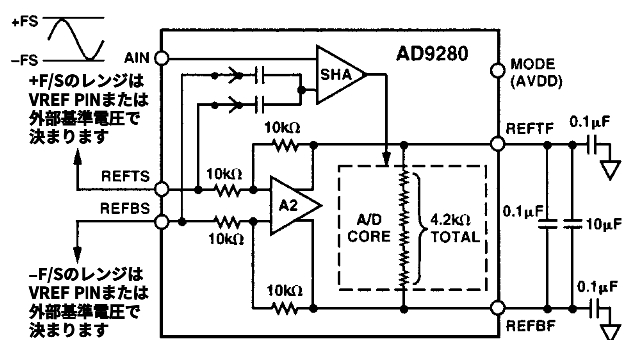
AD9280のノイズ特性は、2 V入力レンジでの動作が最も優れています。歪み特性は、1 V入力レンジでの動作が最も優れています。

基準電圧（リファレンス）の使いかた

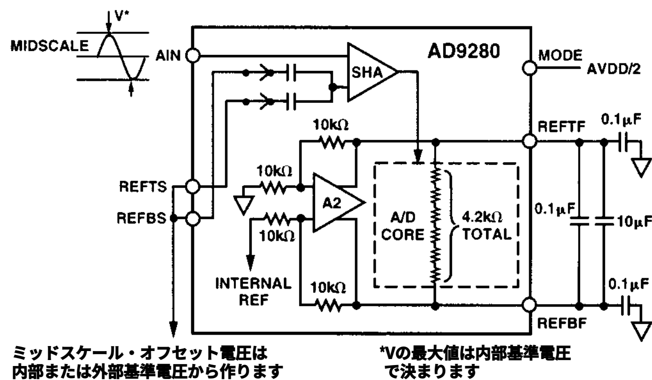
AD9280はいくつかの方法で基準電圧（リファレンス）をとることができます。最も簡単な使い方は、AD9280のチップに内蔵しているバンドギャップ基準電圧を利用する方法で、ピンの接続を変えることによって1 V出力か、2 V出力かを選択します。またこれ以外の電圧が必要な場合は、VREFとREFSENSE、およびREFSENSEとアナログ・グランドの間に外部デバイダ抵抗を接続すると、1 Vと2 Vの間の任意の電圧にセットできます。別の方法として、より高い精度とドリフト性能が求められる場合は、外部リファレンスを使うこともできます。また3番目はトップ＆ボトム基準電圧の方法で、この場合はVREFを完全にバイパスします。

図16d、16eおよび16fは、AD9280の基準電圧と入力です。ユーザーの目的にあった設計のために、ドライブ回路にあわせた最適な入力を選ぶことができます。図16の下に示すように、基準電圧モードを選択することで、フルスケール信号のオフセットおよび振幅に対して最適な回路を選択できます。

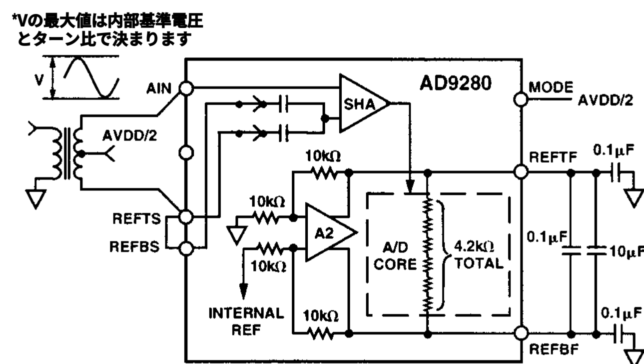
表Ｉはユーザーのご要望にお応えするための、ピンのセット方法です。



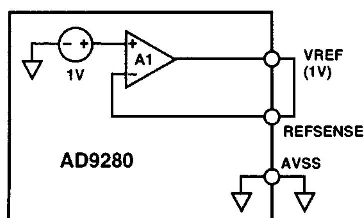
a. トップ/ボトム・モード



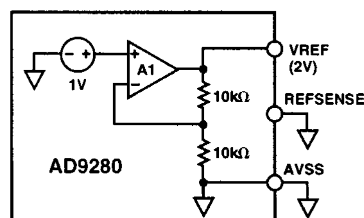
b. センタースパン・モード



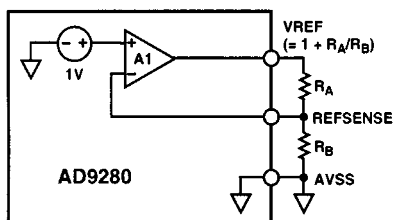
c. 差動モード



d. 1 V基準電圧

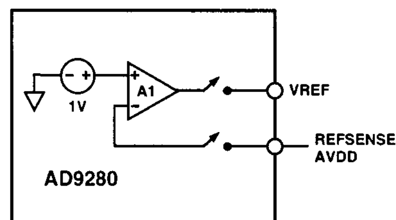


e. 2 V基準電圧



内部10kの基準（REF）抵抗はR_AとR_Bを
接続することで開放（オープン）されます

f. 可変基準電圧（1 V～2 V）



g. 内部基準電圧不使用（電力節減）

図16

AD9280の内部回路で使われる実際の基準電圧は、REFTFとREFBFに出力します。最適な動作を保つため、これらのピンが結合しないようコンデンサ（キャパシタ）ネットワーク回路をつけ加えます。これにより内部基準電圧でも、外部基準電圧でも、REFTFとREFBFは結合しません（図17参照）。

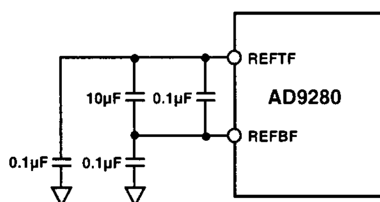


図17．基準電圧デカップリング（非結合）ネットワーク

注　REFTF＝reference top、force
REFBF＝reference bottom、force
REFTS＝reference top、sense
REFBS＝reference bottom、sense

内部基準電圧の場合

図18、19および20は、AD9280で最もよく使われる内部基準電圧の接続例です（図18、19はトップ&ボトム・モード、図20はセンタースパン・モードです）。図18は、1 VP-Pの差動入力の場合の、AD9280の接続方法です。VREFピンとREFSENSEピンをショートすると、内部基準電圧アンプA1はユニティゲイン・モードになり、基準電圧は1 Vの出力になります。図18ではREFBSはグランドされていて、入力電圧レンジは0～1 Vになります。このモードは電源電圧が3Vまたは5 Vの場合に使われます。VREFピンはAVSS（アナログ・グランド）とバイパスする必要があり、そのために1.0 µFのタンタル・コンデンサと、インダクタンスおよびESR（等価直列抵抗）値がともに低い0.1 µFセラミック・コンデンサを平列接続します。

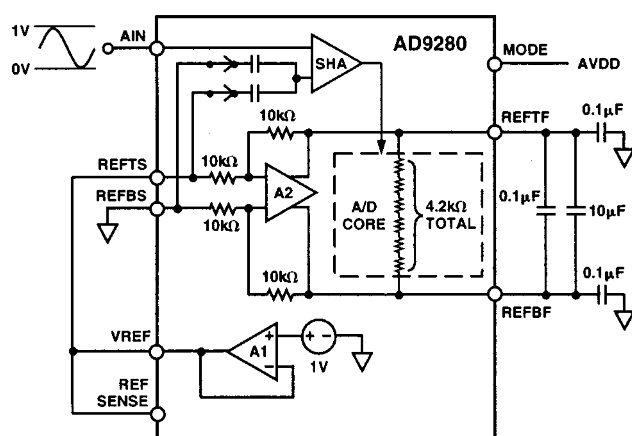


図18．内部基準電圧：1 Vp-p入力範囲（トップ/ボトム・モード）

図19は、2 Vp-pのシングル・エンド入力の場合です。REFSENSEをGNDに接続し2 Vの基準電圧を出力します。

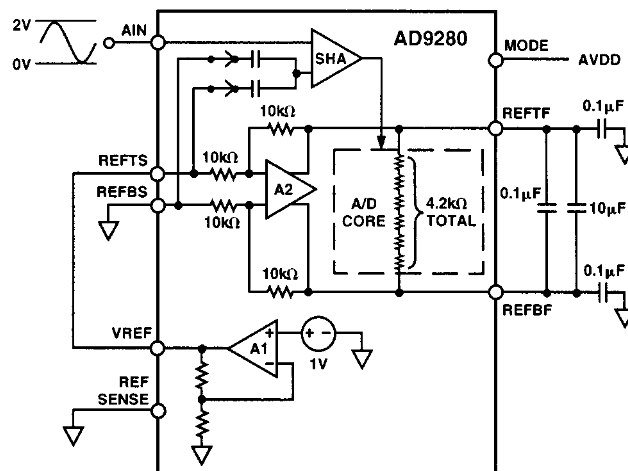


図19．内部基準電圧：2 Vp-p入力範囲（トップ/ボトム・モード）

図20の回路は、シングル・エンド入力で、優れた高周波数でのダイナミック特性（SINAD、SFDR）が得られます。ダイナミック特性を良くするにあたって、アナログ入力同相電圧の中間値は約1.5 Vです。ショートしたREFTSとREFBS入力は、ロー・インピーダンス1.5 Vソースに接続します。この回路でMODEピンは、電源電圧の中間値、AVDD/2の電圧でドライブします。

基準電圧の最大ドライブ電流は1 mAです。重い負荷の場合には、外部バッファが必要です。

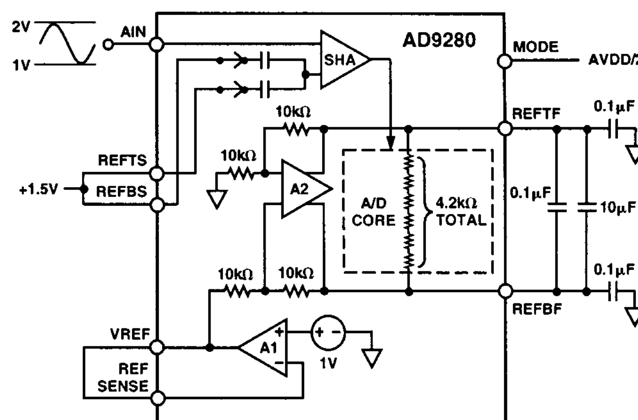


図20．内部基準電圧：1 Vp-p入力範囲（センタースパン・モード）

外部基準電圧の場合

外部基準電圧を使うと、より柔軟性が増し、またさらに優れた精度やドリフト特性で、このデバイスを使うことができます。図21から図23は、外部基準電圧を使ったAD9280の接続例です。外部基準電圧を使う場合は、REFSENSEピンをVDDに接続することで、内部基準電圧アンプを"不使用"の状態にし、VREFピン、またはREFTSピンとREFBSピンを外部からドライブしてください。

AD9280には内部基準電圧バッファ(A2)がついており、外部基準電圧によるドライブを容易にしています。外部基準電圧は単に10kΩの負荷がドライブできればいいだけです。

図21は、トップ&ボトム基準電圧でドライブする場合の回路例です。REFTSはロー・インピーダンスの2 Vソースに接続し、REFBSはロー・インピーダンスの1 Vソースに接続します。REFTSとREFBSは、2つの電圧の差が1 Vから2 Vの間という条件の電圧でドライブすることができます。

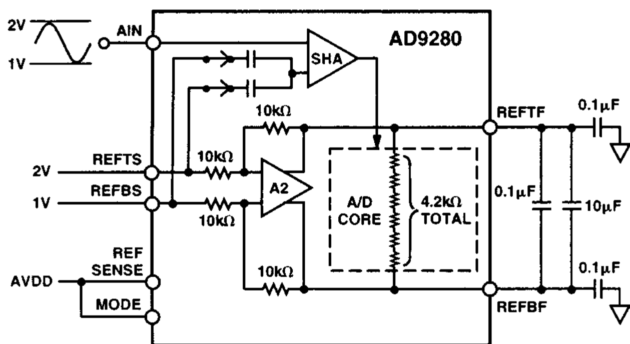


図21．外部基準電圧モード：1 Vp-p入力範囲

図22は、2.5 V出力の外部基準電圧で、ショートしたREFTSとREFBS入力をドライブしている回路例です。ここでは、REF43の2.5 V基準電圧が、REFTSとREFBSをドライブしています。抵抗デバイダで1V VREF信号が生成され、A3でバッファーされます。A3は10kΩの容量性負荷をドライブできなければなりません。要求されているノイズ特性や精度に基づいて、適切なオペアンプを選定してください。

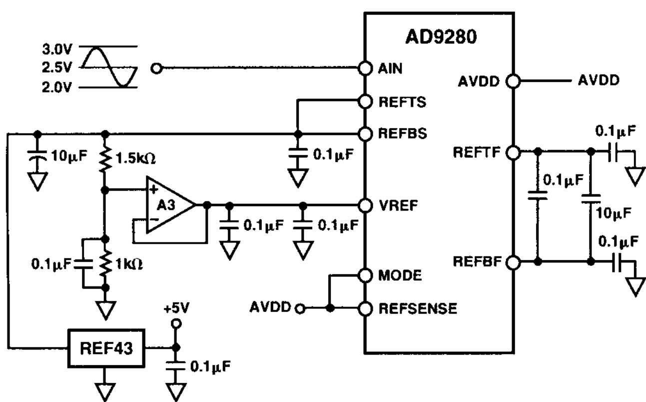


図22．外部基準電圧モード：1Vp-p入力範囲、$2.5V_{CM}$

図23aの回路例は、AD876とコンパチ(互換性がある)のREFTFとREFBFを、外部基準電圧でドライブしています。ショートしたREFTSとREFTFは外部のロー・インピーダンス4 Vソースでドライブしています。同様にショートしたREFBSとREFBFは2 Vソースでドライブしています。ここではMODEピンは、GNDに接続しています。

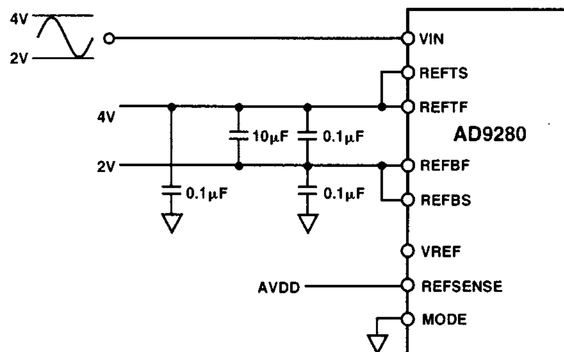


図23a．外部基準電圧：2 Vp-p入力範囲

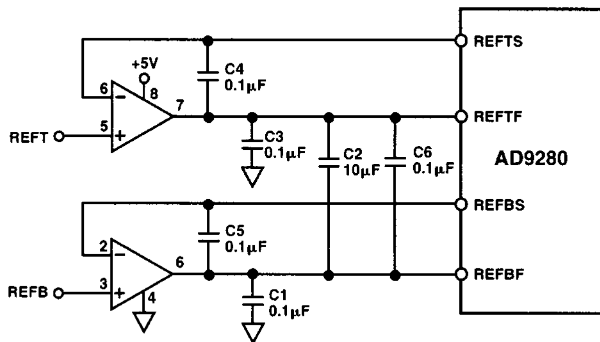


図23b．ケルビン接続のAD9280基準電圧

スタンドバイ動作

このA/DコンバータはSTBY(Standby)ピンをロジック"high"にドライブし、クロックをロジック"low"に保持することで、パワーダウン(スリープ)モードにすることができます。このパワーダウン・モードでの電力損失は通常4 mWです。STBYピンに接続がない場合は、内蔵のプルダウン(pull-down)回路で、A/Dコンバータは"ウェイクアップ(wake up)"モードの動作を続けます。

A/Dコンバータはスタンドバイ・パルスがロジック"low"になって400 ns(通常)後、"ウェイクアップ(wake up)"モードになります。

クランプ動作

AD9280ARSの特徴は、ビデオ信号での直流分再生やACカップリング信号に備えて、オプションのクランプ回路を内蔵していることです。図24に内蔵クランプ回路と、クランプ回路を作動するのに必要な外部コントロール信号を示します。クランプするにあたっては、CLAMPピンをロジック"high"にする必要があります。クランプするには、CLAMPピンをロジック"high"にします。これがスイッチ1を"閉(close)"にします。するとクランプ・アンプは、CLAMPINピンにかかっているクランプ電圧と同じ電圧になるまで、AINピンの電圧を上昇させます。適切なクランプ・レベルに達したら、CLAMPをロジック"low"に戻すことで、スイッチ1は"開(open)"になります。入力バイアス電流によるドループ(droop)を無視すると、入力コンデンサのCINは次のクランプまで、ずっとAINのDC電圧を保持します。RINは、クランプ・アンプのクローズ・ループ(closed-loop)の安定性を保つ最小値として、10Ωをお薦めします。

CLAMPINに入力可能な電圧レンジは、内蔵のクランプ・アンプの作動範囲によって決まります。クランプ・レンジは0.5 V〜2 Vの間にしてください。

入力コンデンサはクランプ間隔の内で、AINでのクランプ電圧のアクィジション時間に対して、十分対応できる大きさで、またクランプ間隔の間でドループを最小にする大きさでなければなりません。特に、スイッチが“閉（close）”のときのアクィジション時間は次の式になります。

$$T_{ACQ}=R_{IN}\times C_{IN}\times ln\left(\frac{V_C}{V_E}\right)$$

ここで、V_CはC$_{IN}$両端での電圧変化、V_Eはエラー電圧、V_Cは、クランプ・インターバル開始時の初期入力DCレベルとCLAMPINにかかっているクランプ電圧との差、V_Eはシステムで決まるパラメータで、V_Cからの最大許容偏差になります。例えばAD9280の入力で、2Vの入力電圧を10 mVの範囲内で、1 Vにクランプする場合、V_Cは2－1つまり1 V、V_Eは10 mVになります。なお入力で適切なクランプ・レベルに達した後は、ドループを補整するための、わずかな電圧の変化が必要なだけです。

ドループ電圧は次の式で計算します。

$$dV=\frac{I_{BIAS}}{C_{IN}}(t)$$

ここで、t＝クランプ間隔の時間です。

AD9280のバイアス電流は、サンプリング・レート FS と、基準電圧のミッド・ポイント (REFTS - REFBS)/2 と入力電圧の差の両方に左右されます。図14に、サンプリング・レートが32MHzで固定した場合の、入力電圧に対する入力バイアス電流を示します。図14から、1 V入力電圧に対する最大入力バイアス電流は、22 μAであることがわかります。より低いサンプリング・レートの場合は、入力バイアス電流もこれに比例します。

もしドループが重要なパラメータである場合には、まず必要なドループ特性を充たすC_{IN}の最小値を計算し、アクィジション時間（CLAMPパルスの幅）は、そのC_{IN}の最小値にまかせます。ドループ対アクィジション時間、あるいはドループ対エラー電圧V_Eの関係は“トレード・オフ”の関係にあり、どちらかを選択しなければならないことがしばしばあります。

クランプ回路の例

シングル電源のビデオ・アンプが、2～3 V間のレベル・シフトしたビデオ信号を、次のパラメータで出力している場合を考察します。

水平周期＝63.56 μs
水平同期間隔＝10.9 μs
水平同期パルス＝4.7 μs
同期信号振幅＝0.3 V
ビデオ振幅＝0.7V
基準黒レベル＝2.3V

ビデオ信号はDC信号を2～3 Vのレンジから、1～2 Vのレンジへ戻す必要があります。AD9280の1 V範囲（スパン）で1～2 Vレンジの入力の場合、CLAMPINの電圧は外部電圧またはREFBSとの直結によって、1 Vにセットします（図24参照）。CLAMPパルスは、SYNCパルスの間かSYNCをAD9280の最低入力電圧以下にトランケートするバックポーチ期間中に加えられます。ここで、C_{IN}＝1 μF、R_{IN}＝20Ω、入力DCレベルを1 mVの精度で1Vにセットするのに必要なアクィジション時間は約140 μs、V_Cは1 Vです。

入力カップリング・コンデンサが1 μFの場合の、水平1周期のドループは次のように計算できます。

$$I_{BIAS}=22\,\mu A,\ t=63.5\,\mu s$$

したがってドループdV＝1.397 mV、この値は1 LSB以下です。

入力コンデンサが最初にチャージされた後は、クランプ・パルスの幅はドループのような、わずかな電圧エラーを補整するだけの幅で十分です。クランプ回路の詳しいセトリング・タイムを表IIに示します。

精度がどの程度必要かにもよりますが、多くのアプリケーションでは1 μs～3 μsのCLAMPパルス幅が最もよく使われます。OFFSET値はクランプ・アンプからのオフセットに関係なく、測定した“最終値”の出力コードと、より長いCRAMPパルス時間とを、単純に比較しています。

表II

CLAMP	OFFSET
8 μs	＜1 LSB
4 μs	＜2 LSBs
3 μs	2 LSBs
2 μs	5 LSBs
1 μs	9 LSBs

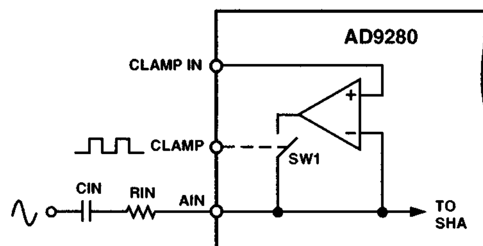


図24a．クランプ動作

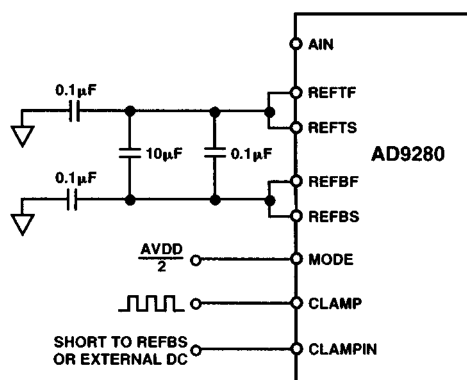


図24b．ビデオ・クランプ回路

アナログ入力のドライブ

図25は、AD9280のアナログ入力等価回路で、サンプル＆ホールド・アンプ（SHA）になっています（SHAの入力はスイッチド・キャパシタ方式）。CLKがロジック"low"になると、スイッチ1およびスイッチ2は"閉（close）"、スイッチ3は"開（open）"になります。AINに接続している入力ソースはこの間に、コンデンサCHのチャージをします。CLKがロジック"low"からロジック"high"に切り換わると、スイッチ1およびスイッチ2は"開（open）"になり、SHAはホールド・モードになります。次にスイッチ3が"閉(close)"となり、OPアンプの出力を、CHにストアしている電圧と同じ電圧にします。CLKがロジック"high"からロジック"low"に切り換わるときは、まず最初にスイッチ3が"開（open）"になります。そして、スイッチ1とスイッチ2が"閉（close）"になり、SHAはトラック・モードになります。

このような入力SHAの構成は、入力ドライブソースにある種の条件を課します。ピンのキャパシタンス（容量）、CP、ホールド・キャパシタンス、CHの合計で通常5 pF以下です。入力ソースはクロック・サイクルの半分の時間内に、このキャパシタンスを8ビットの精度で、チャージまたはディスチャージしなければなりません。SHAがトラック・モードになると、入力ソースは新たな電圧に対応して、ひとつ前の電圧の状態になっているCHを、チャージまたはディスチャージする必要があります。最悪のケースでは、フルスケール電圧の入力で、入力ソースはスイッチ1のR_{ON}（50Ω）経由でチャージ電流を供給し、クロック・サイクルの半分の時間内に終える必要があります。この状態は低入力インピーダンスをドライブすることに対応します。いっぽう、ソース電圧が、ひとつ前の電圧によってストアされたCHの値と一致している場合、ホールド・キャパシタは入力電流を必要とせず、等価入力インピーダンスはきわめて高くなります。

ソース出力とAINピンの間に抵抗を直列に入れればソースに課されたドライブ条件は緩和されます。図26にこの方法を示します。特定のアプリケーションの帯域幅によってこの抵抗値は制限を受けます。カタログに記載しているスペックを維持するためには、この抵抗は20Ω以下にしてください。信号帯域幅が16 MHz以下のアプリケーションでは、この直列抵抗の値を比例して大きくしてもかまいません。別の方法として、AINピンとアナログ・グランドの間に、シャント・コンデンサを接続すると、AC負荷（ロード）インピーダンスを下げることができます。ここでコンデンサのキャパシタンス値は、ソース抵抗の値と必要な信号帯域幅に依存します。

AD9280の入力範囲は、基準電圧（リファレンス）の関数です。入力レンジについての説明は、前述の「内部および外部基準電圧」の項をご参照ください。

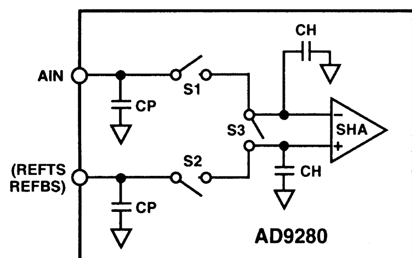


図25．AD9280の等価入力構成

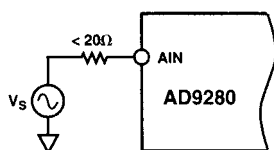


図26．AD9280ドライブの簡略図

多くのケース、特に単一電源の場合、ACカップリングはアナログ入力信号を適切な信号レンジにバイアスするのに便利な方法です。図27に、AD9280に対するアナログ入力信号の、一般的なACカップリングの方法を示します。カタログに記載しているスペックを維持するために、使用する部品の値の選定では注意が必要です。最も重要なのは$f_{-3\,dB}$ハイパス・コーナー周波数です。これはR2および平列接続のC1とC2で決まります。$f_{-3\,dB}$は次の式で決まります（近似値）。

$$f_{-3dB}=1/(2\times pi\times [R2]\ C_{EQ})$$

ここで、C_{EQ}は平列接続のC1とC2です。なおC1は通常、大きな電解コンデンサ、またはタンタル・コンデンサを使用するため、高い周波数でインダクタンスの成分が出ます。もうひとつの小さいコンデンサ（0.01μFのオーダー）は、セラミック・コンデンサ、またはポリスチレン・コンデンサを使用し、無視してよいほどの高い周波数にならない限り、インダクタンス成分は含まないので、広い周波数レンジにわたって低いインピーダンス状態を保ちます。

参考：ACカップリングした入力信号は、AD9280内蔵のクランプで、適切なレベルにシフトします。「クランプ動作」の項をご参照ください。

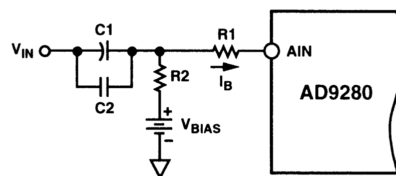


図27．ACカップリング入力

抵抗値を決めるにあたって、もう1つ考慮することがあります。ACカップリングコンデンサはAD9280の入力に現れるスイッチング・トランジェントを積分して、正味のDCバイアス電流IBを入力に流し込みます。V－ミッドスケールから外れた信号量が増えると、バイアス電流が増加し、クロック周波数も上昇します。すなわち、AIN＝Vmidscale のとき、バイアス電流は最小です。このバイアス電流から、(R1 + R2) × IB のオフセットエラーが発生します。このエラーを補償するにはR2を極端に小さくするか、VBIASの調整でオフセットを最適にします。

DCカップリングを必ず必要とするシステムの場合、OPアンプを使ってグランドを基準としている信号をAD9280入力の求めるレベルにシフトします。図28にAD8041のノン・インバーティング・モードでの使い方を示します。

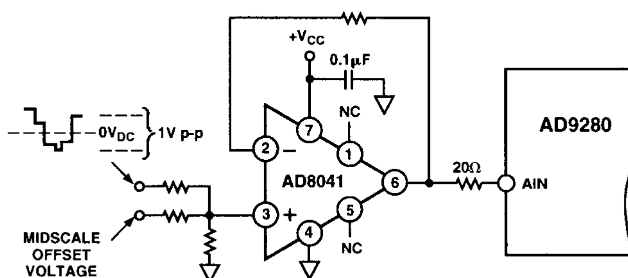


図28．バイポーラ・レベルシフト

差動入力動作

AD9280は差動入力も受け入れます。REFTSとREFBSをショートし、そこをひとつの差動入力でドライブすると、この機能になります（もうひとつの差動入力はAINをドライブします）。図29にこの接続を示します。AD9280に1 Vp-pの信号が入力しています。

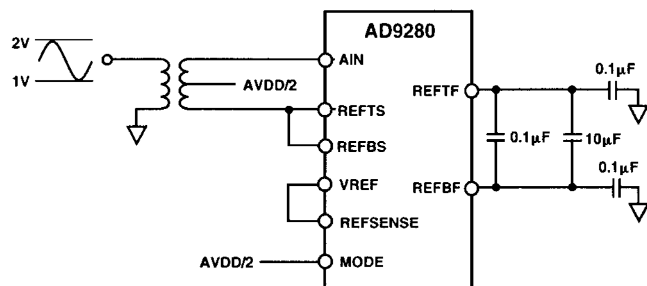


図29．差動入力

AD876-8型モード動作

AD876-8のソケットにAD9280を差し込むことができます。AD876-8のユーザーにとって、AD9280に交換し3 Vアナログ電源で使うことで、電力損失を下げるメリットがあります。

図30にAD876-8とAD9280の各ピンの機能を示します。REFSENSEピンはグランドされており、MODEピンはフロートしているので、AD9280は外部基準電圧モードになっています。AD876-8の外部基準電圧入力は、そのままAD9280の基準電圧ピンに入力しています。

クランプのコントロールは、AD876-8のソケットによりグランドされます。AD876-8は3.5クロックサイクル・ディレイだったのに対し、AD9280は3クロックサイクル・ディレイです。

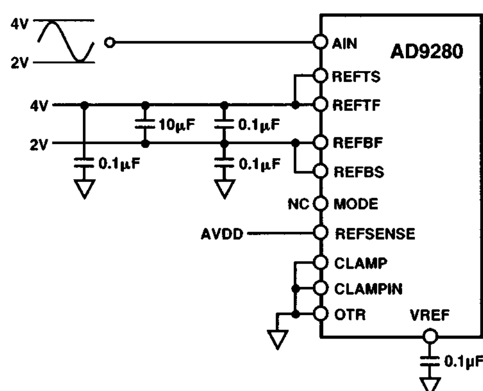


図30．AD876モード

クロック入力

AD9280のクロック入力は、AVDDピンから電力を受けているインバータによって、内部でバッファされます。この特長のために、AD9280はCLKピンの入力スレッショルド公称AVDD/2で、+5Vまたは+3.3VどちらかのCMOSロジック入力信号振幅に対応することができます。

AD9280のパイプライン回路は、入力クロックパルスの立ち上がり側と、立ち下がり側の両方のエッジで作動します。デューティ・サイクル変動を最小限にするために、クロック入力をドライブするロジック類は、高速あるいは最新のCMOS（HC/HCT、AC/ACT）ロジックの使用をお薦めします。CMOSロジックは対称的な電圧スレッショルド・レベルをもち、また32MSPS動作に十分に対応できるライズ・タイムとフォール・タイムをもつデバイスです。AD9280は32MSPSの変換レートに対応できるように設計していますが、もう少し速いクロック・レートでも使えます。ただその場合、性能レベルはやや下がります。逆にAD9280をもう少し遅いクロック・レートで使うと、性能が少々上がります。出力バッファによる電力損失は、おもにクロック周波数に比例します。クロック・レートを下げて使うと、電力損失も下がります。

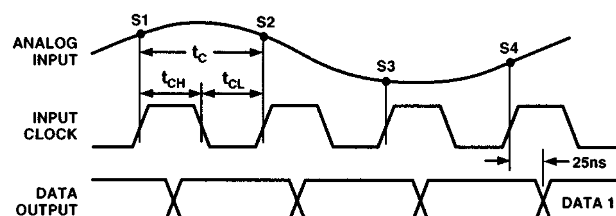
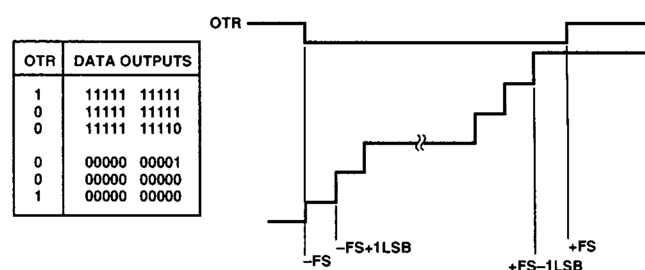


図31．タイミング・ダイアグラム

デジタル入力と出力

AD9280の2つのデジタル・コントロール入力、すなわちTHREE-STATEとSTBYはアナログ・グランドを基準（リファレンス）にしています。クロックもまたアナログ・グランドを基準にしています。

デジタル出力のフォーマットはストレート・バイナリです（図32参照）。STBY = HIGHでクロックがディセーブルの状態で、ローパワーモードになります。AD9280の静止消費電力は5mW以下に落ちます。



OTR	DATA OUTPUTS
1	11111 11111
0	11111 11111
0	11111 11110
0	00000 00001
0	00000 00000
1	00000 00000

図32．出力データ・フォーマット

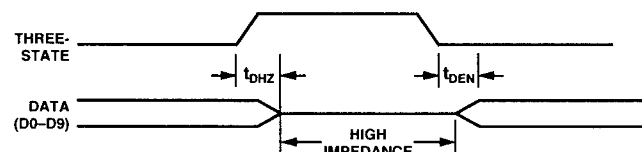


図33．3-ステート・タイミング・ダイアグラム

アプリケーション

AD9280による"ダイレクトIFダウン変換"

最近通信分野で、ダイレクトIFダウン変換、あるいはアンダーサンプリングと呼ばれる、A/Dコンバータのベースバンド(DC〜FS/2)以上のIF信号のサンプリングという方法がよく使われるようになりました。A/Dコンバータを狭帯域、または広帯域IF信号をエリアスすなわちミックスダウンするのに使う用法の大きなメリットとしては、まず第一に、アンプやフィルタを伴うミキサー段を完全になくすことにより、電力損失を下げ、コストダウンができることです。第二として、フィルタリング、チャネル選択、直交復調、データ整理、検出等の機能を実行するのに各種のDSP技術が使える点です。アナログ・デバイセズ社のアプリケーション・ノートAN-301とAN-302に、この技術をデジタル・レシーバに応用した一例を記載していますので、是非ご覧ください。

ダイレクトIFダウン変換のアプリケーションでは、ミキサーがIF信号をダウン変換する方法と同様に、ベースバンド外のIF信号をベースバンド内に移すA/Dコンバータ独自のサンプリング方法が使われます。A/Dコンバータのベースバンド内に他の干渉信号が戻らないように、イメージ除去フィルタが必要になることは、ミキサーの位相技術の場合とよく似ています。A/Dコンバータのサンプリング・レートとダイナミック・レンジの関係と同様に、イメージ除去フィルタの除去能力とサンプリング・レートの間は、トレード・オフの関係にあります。

AD9280はいろいろな狭帯域のIFサンプリングのアプリケーションに適しています。低歪入力のSHAは、300MHzに達するフルパワー・バンド幅があり、多くのよく使われるIF周波数をカバーしています。AD9280では、2 Vスパン(範囲)のときにSNR比が最高で、1 Vスパンのときにフルスケールの歪み特性が最良です。その上1Vスパンの場合は、入力ドライバ回路に要求する性能要件が低減しますので、システム設計に当たってはより実用的です。

図34は、AD9280をIFサンプリング・アプリケーションに使った回路で、その簡略図を示します。多くの直交復調アプリケーションでデジタル復調器の構成を簡単にするために、帯域IF信号がA/Dコンバータのベースバンドの中心、すなわちFS/4、にエリアシングバックするように、IF周波数、および/またはサンプル・レートを選びます。例えば、45 MHzが中心のIF信号を20 MSPSでサンプルした場合、このIF信号のイメージは、サンプル・レートの1/4にあたる5.0 MHzに折り返します(FS/4)。この復調テクニックは一般に、ADCの後に続くポスト・ディジタル復調ASICの構成を簡単にします。

歪み特性を最良にするために、AD9280はトランスを使って、差動モード1Vスパンで使います。トランスのセンター・タップはデバイダ抵抗でAVDD/2 (midsupply)にバイアスします。AD9280の前段には32dBの利得段の他にバンドパスフィルタも配置します。イメージ除去のために挿入するSAWフィルタのロスを補償するのに、大きなゲイン段が必要になります。またゲイン段は、AD9280の入力からの"キックバック"電流からSAWフィルタを絶縁するのに役立ちます。

ゲイン段には1つか、2つ(カスケード接続)のAD8009 OPアンプを使います。AD8009は安価で、かつ1 GHzの電流帰還型OPアンプで、3次インターセプト特性は250 MHzまであります。AD8009の後にある受動型バンドパスフィルタが信号の2次歪み成分を減衰させ、それがAD9280のベースバンド領域に折り返すことを防ぎます。またすべてのバンド外のノイズも減少し、ノイズのバンド幅が220+MHzのAD9280に戻らないようにしています。なおバンドパス・フィルタの特性はアプリケーションによって決まり、この回路で全歪み、および全ノイズ特性に影響しますので、ご注意ください。

A/Dコンバータを選択するにあたって、狭帯域IFサンプリング・アプリケーションの場合、ADCのIF周波数に対する歪み、およびノイズ特性は重要なポイントになります。A/Dコンバータで、アパーチャ・ジッタのためのノイズ特性を評価するにあたっては、シングルトーン、およびデュアルトーンSFDR対増幅度の関係がたいへん役立ちます。いずれのアプリケーションでも、デバイスがアプリケーションに合っているかどうかの判断は、数個の同じデバイスを、同じ条件でテストして評価することをお薦めします。

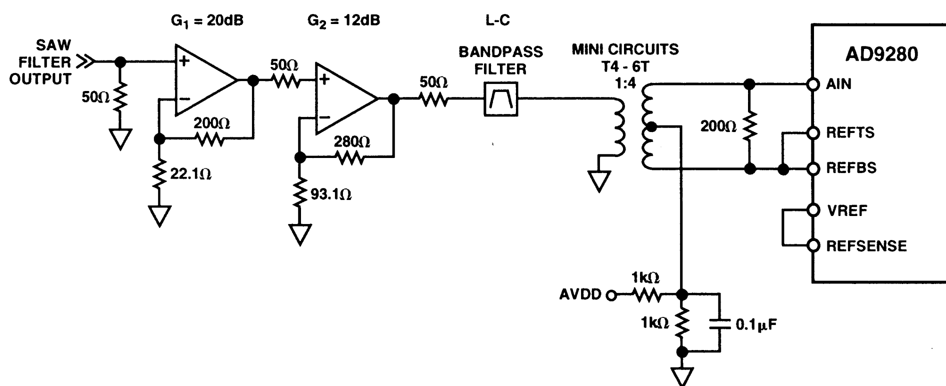


図34. 簡略化したAD9280のIF・サンプリング回路

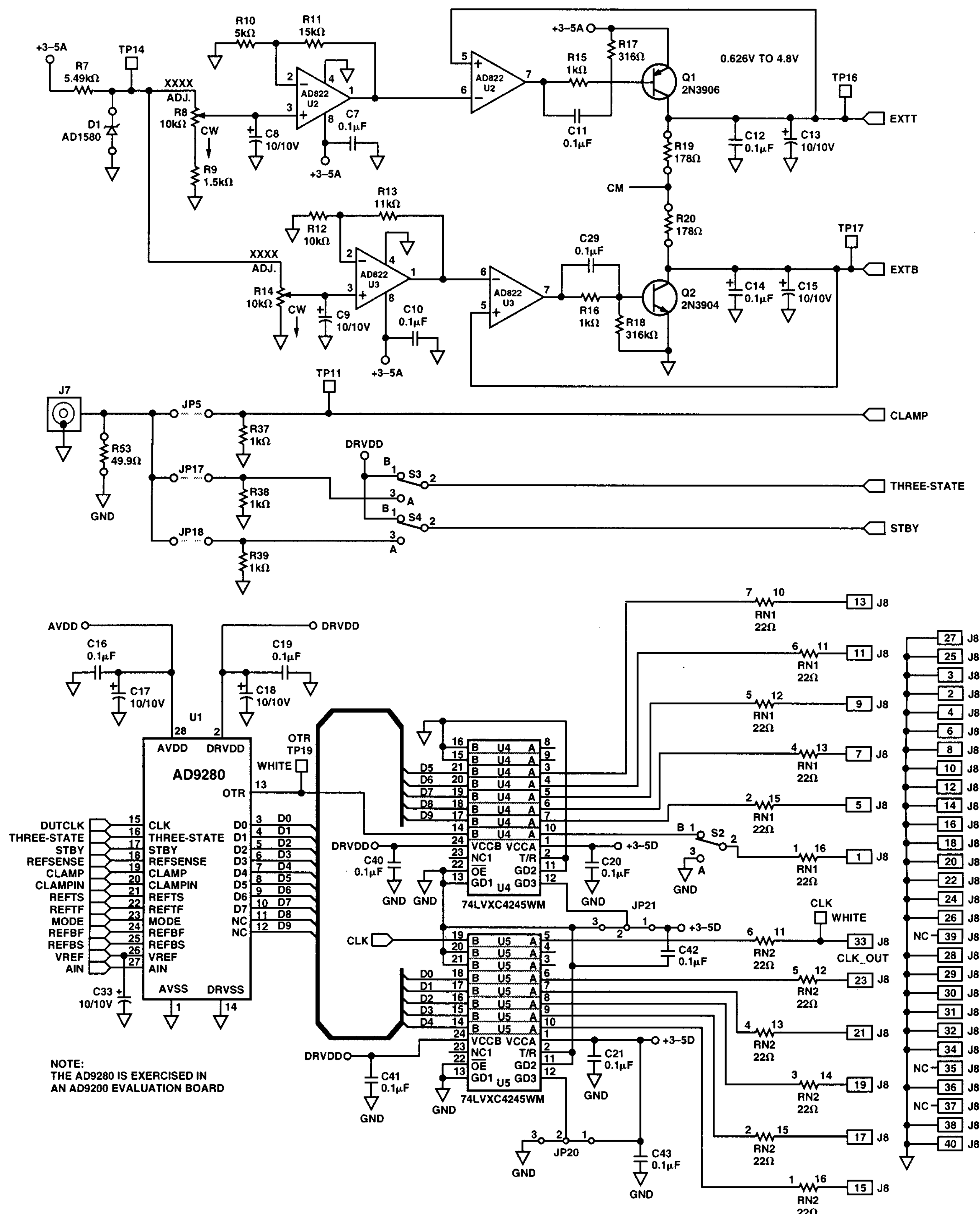


図35a．評価用ボードの概要図

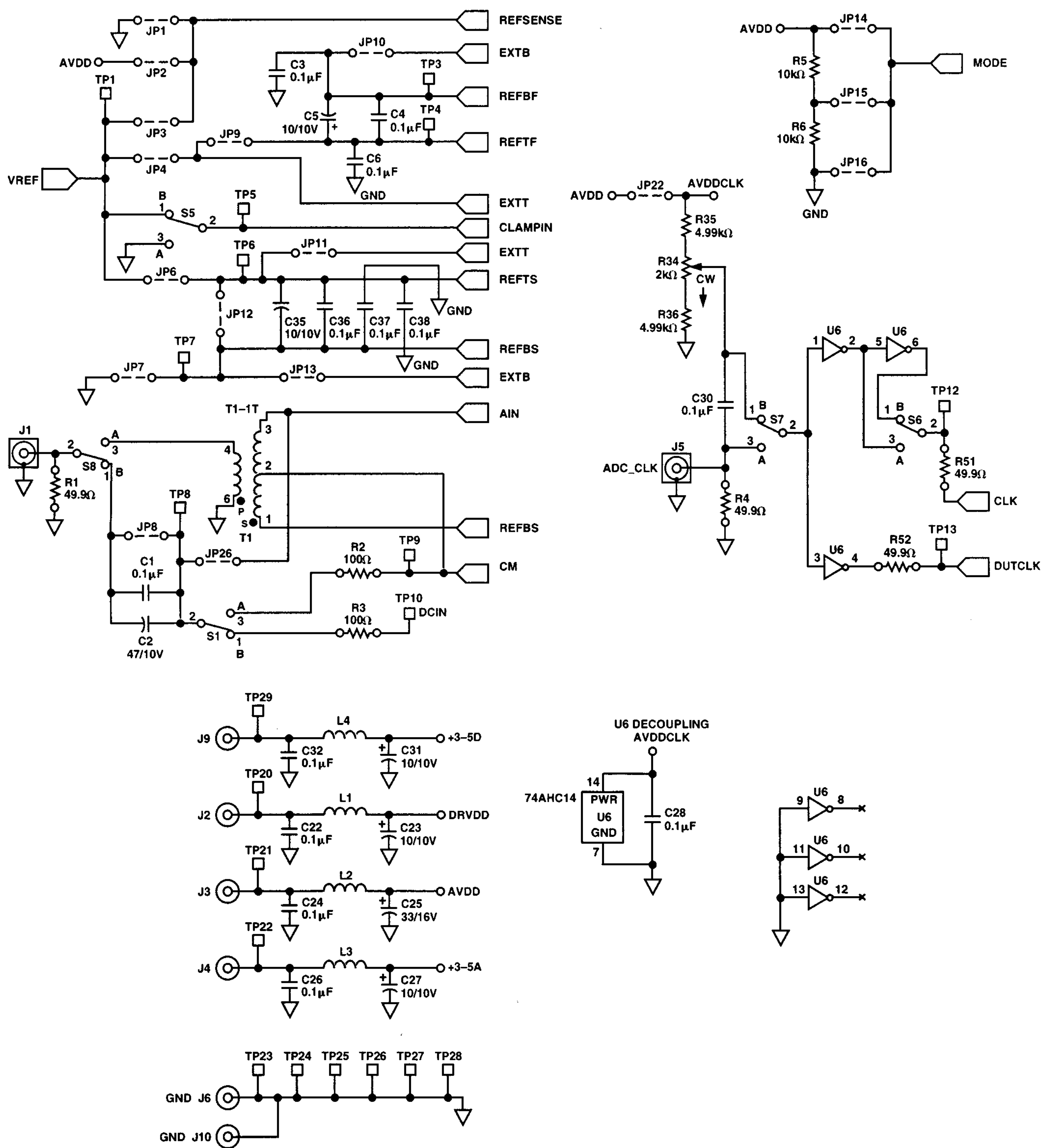


図35b. 評価用ボードの概要図

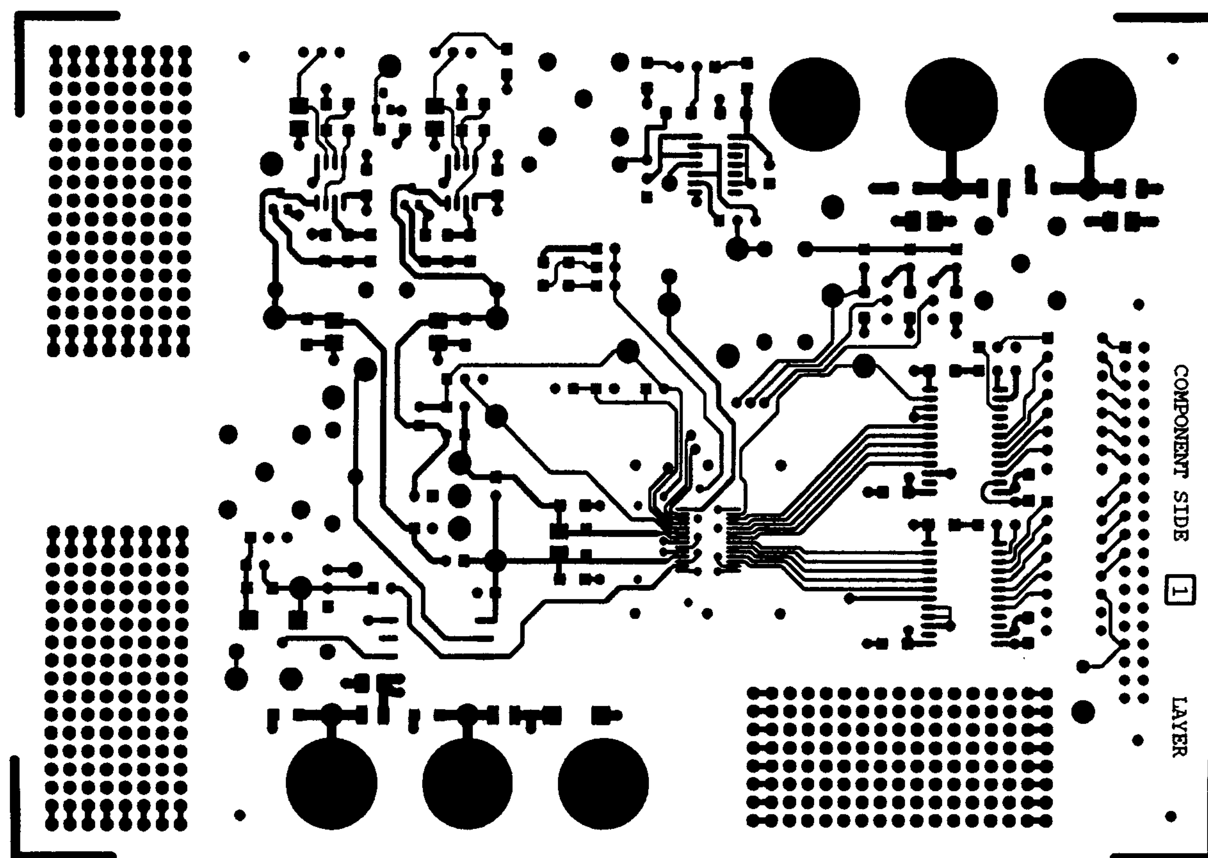


図36a．評価用ボード、部品シグナル（非実寸）

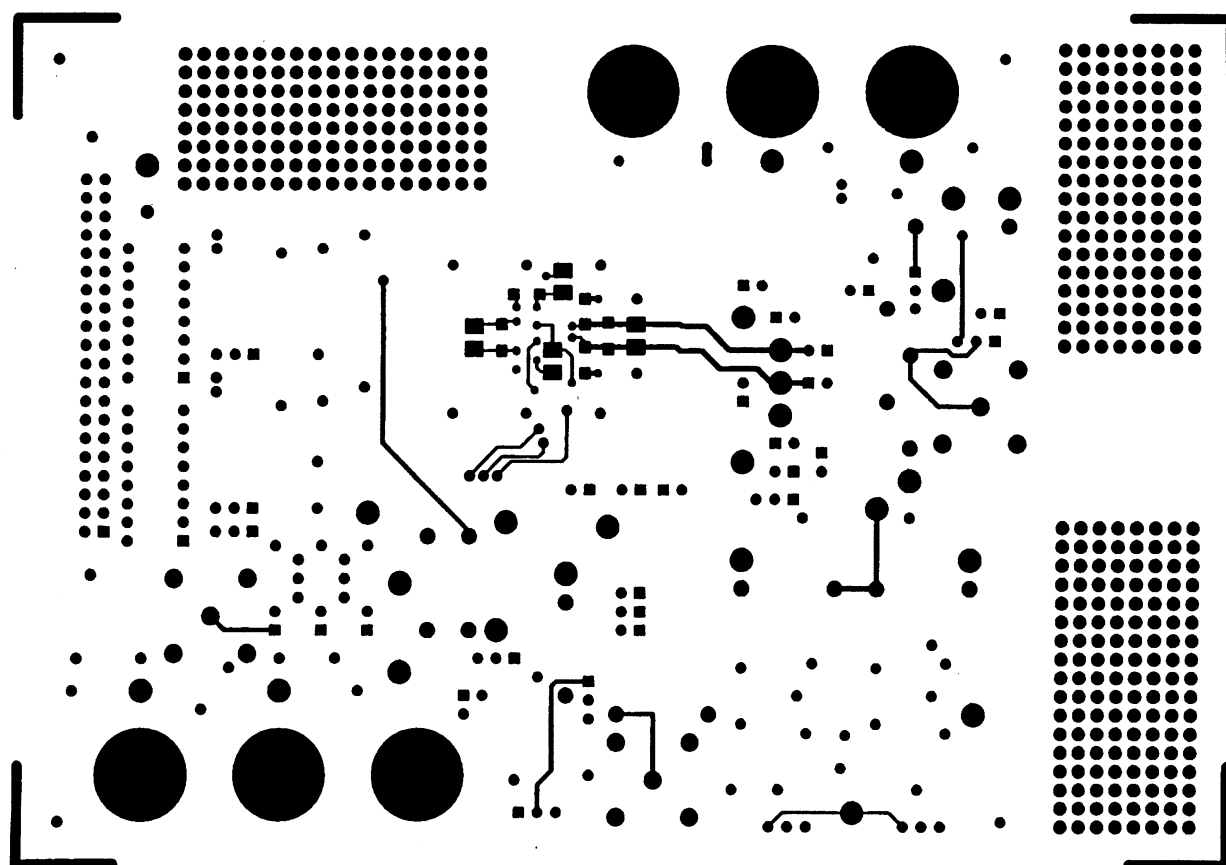


図36b．評価用ボード、半田付けシグナル（非実寸）

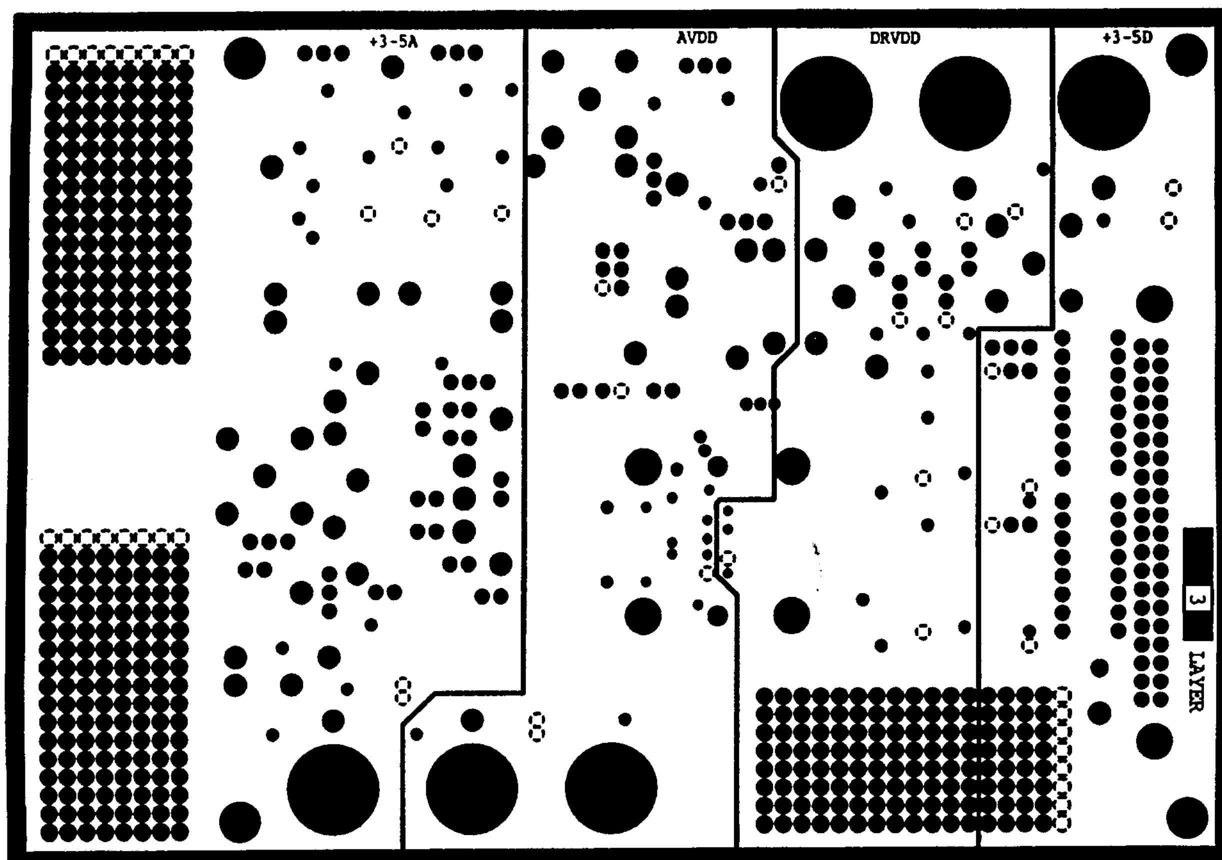


図36c．評価用ボード、電源プレーン（非実寸）

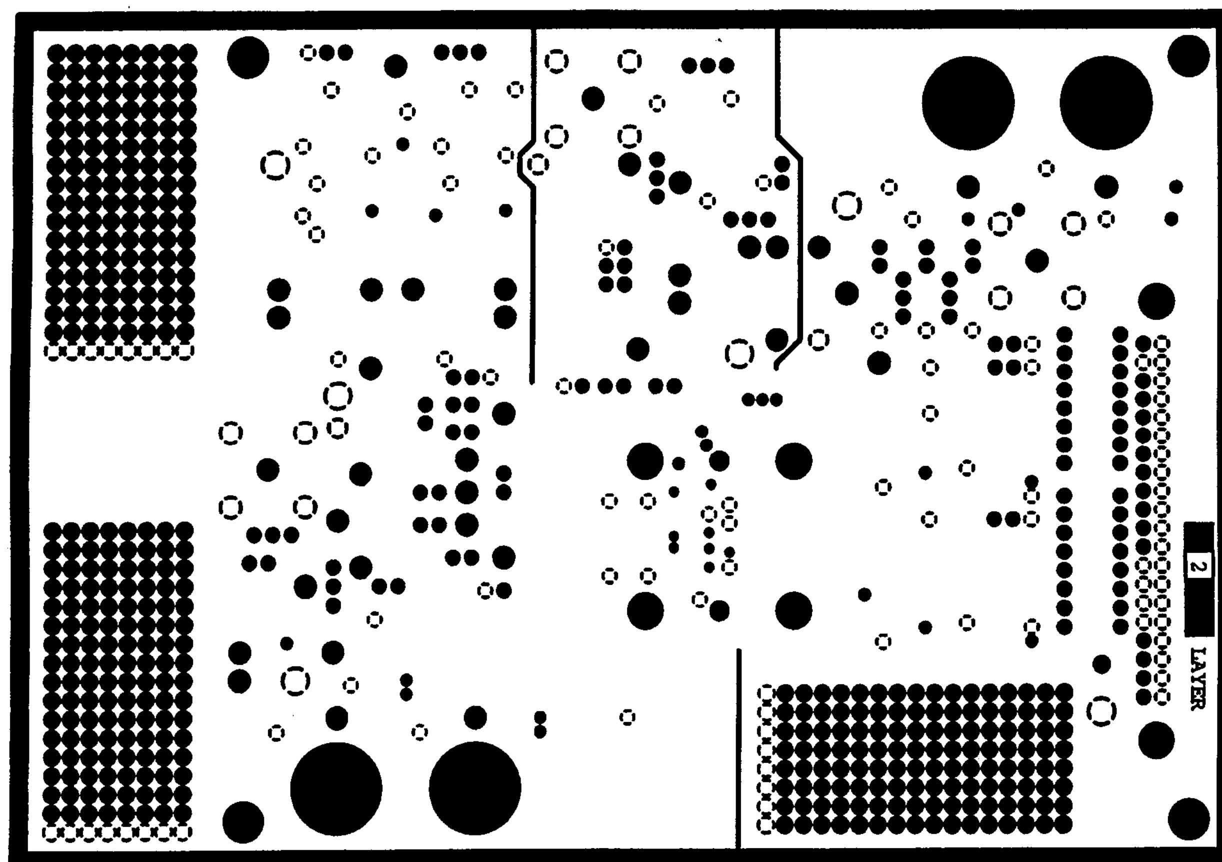


図36d．評価用ボード、グラウンドプレーン（非実寸）

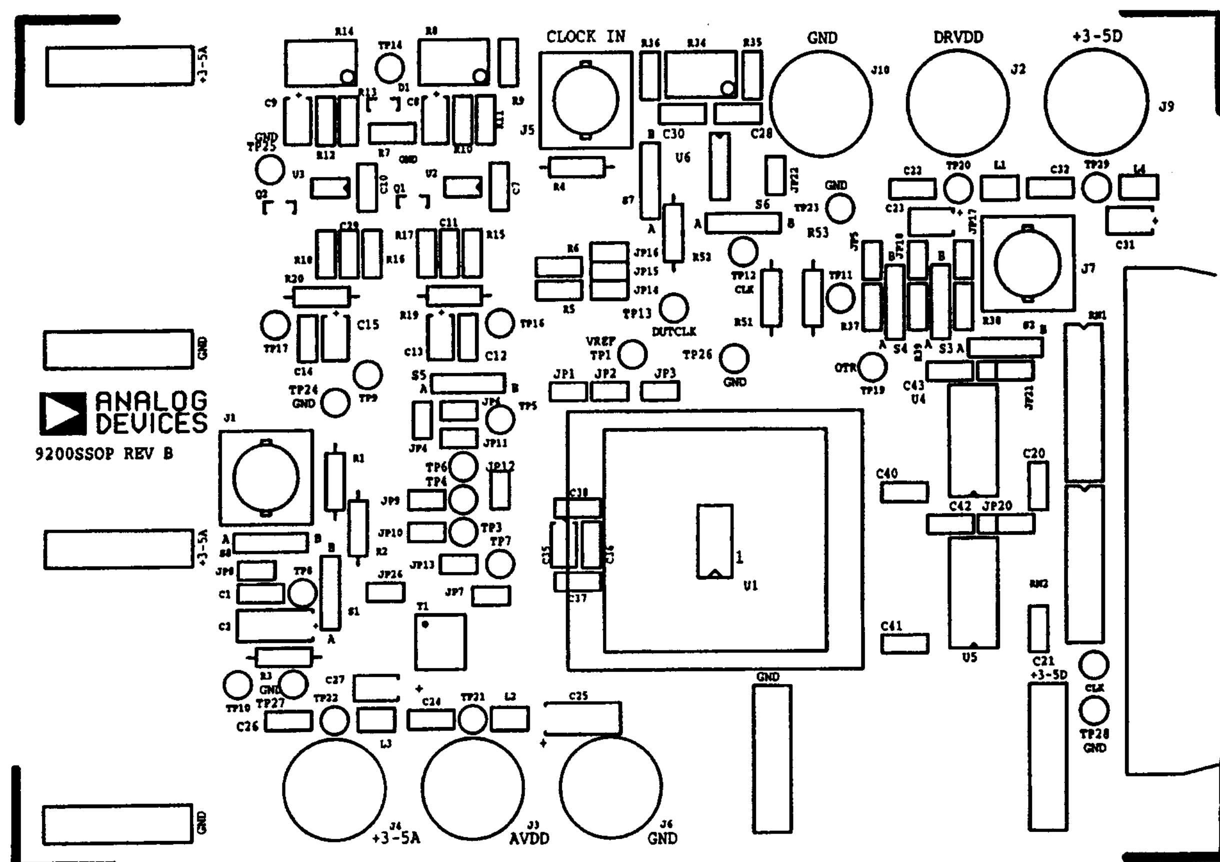


図36e．評価用ボード、部品シルクスクリーン（非実寸）

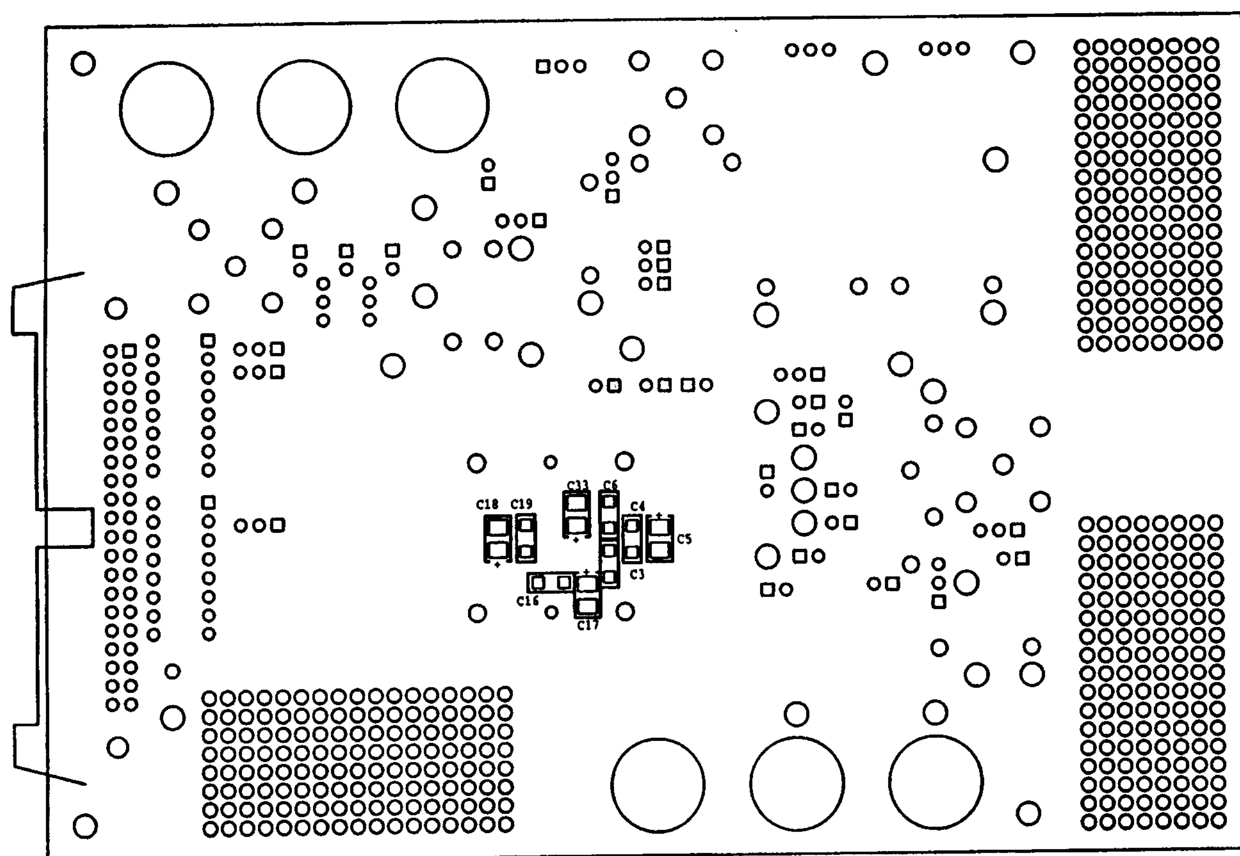


図36f．評価用ボード、半田付けシルクスクリーン（非実寸）

グランディングとレイアウトのルール

高性能デバイスの場合はいつもそうですが、最良のグランドをとることと、レイアウトを最良にすることが、デバイスから最高の性能を引き出す決め手です。AD9280ではアナログ・グランドとデジタル・グランドは独立しており、これはシステムでリターン電流の取り扱いを最適にするためです。グランドはA/Dコンバータの近くで接続してください。AD9280には電源プレーンとグラウンドプレーンを使った少なくとも4層の印刷回路基板(PCB)を使用することを推奨します。グランドプレーンとパワープレーンを使うことによってデバイスの性能にはっきりした効果が現われます。

1. 信号とそのリターン・パスによって取り囲まれるループ領域を最小にできます。
2. グランドとパワー・パスに付随するインピーダンスを最小にできます。
3. 電源プレーン、PCB絶縁面、グランドプレーンで形成されるキャパシタの容量が分散されます。

このような特性によって、電磁干渉(EMI)を下げることができ、また全体的な特性もさらに良くなります。

レイアウトのデザインをするにあたって重要なことは、入力信号にノイズがカップリングしないことです。デジタル信号は、入力信号のトレースと平行に走らせないこと、入力回路からできるだけ遠ざけることが大切です。別々に分離しているディジタルグラウンドとアナロググラウンドはAD9280の直下で確実なグラウンドプレーンに全部一緒に直結します。パワーとグランドのリターン電流は、慎重に取り扱う必要があります。通例として、デジタルとアナログが同居している回路で注意しなければならないことは、デジタル回路からのリターン電流を、精密なアナログ回路へ流さないことです。

デジタル出力

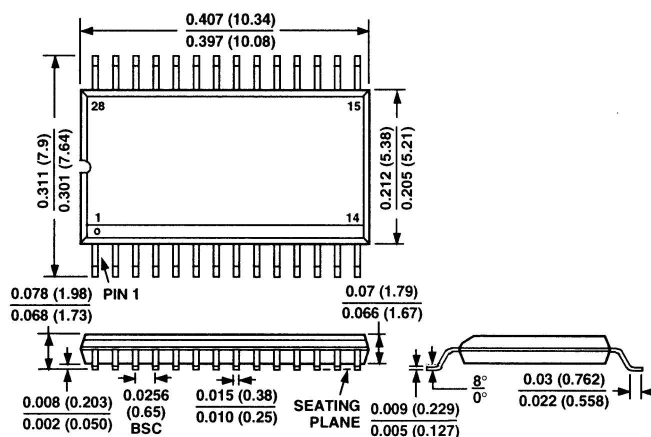
AD9280の出力ビット(D0〜D7)のための、チップに内蔵されているそれぞれのバッファは、AVDDからではなく、独立したDRVDDサプライ・ピンから電圧が供給されます。出力ドライバは、グリッチエネルギーの発生量を最小に抑えて各種のロジック群を取り扱うことができます。いずれの場合でも、出力データ・ビットで負荷容量をスペックの20 pFレベル以下に保つために、1つのファン・アウトをお薦めします。

DRVDD＝5 Vの場合では、AD9280の出力信号振幅は、高速CMOSに対しても、TTLロジック群に対しても、それらと一致した(コンパチの)信号になります。TTLの場合、AD9280のチップに内蔵されている出力ドライバは、数々の高速TTL群(F、AS、S)に対応できるように設計されています。クロック・レートが32 MSPSより低いアプリケーションの場合は、むしろその他のTTLを採用するほうがいいかもしれません。より低い電圧のCMOSロジックとの接続では、AD9280はDRVDD＝3 Vでも32MSPSの動作を保ちます。なお、ご使用の場合は必ず使用するロジックのカタログとAD9280のデジタル特性表を照らし合わせて、互換性をご確認ください。

3-ステート出力

AD9280のデジタル出力は、THREE-STATEピンをロジック“ high ”にすることで、高インピーダンス状態にすることができます。この機能は、回路内でのテストや評価に利用できます。

外形寸法
単位はインチと（mm）
RS-28
28ピン型スモール・パッケージ（SSOP型）



D461-2.7-7/98,1A

PRINTED IN JAPAN



「この取扱説明書はエコマーク認定の再生紙を使用しています。」